

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 29 日 (29.07.2004)

PCT

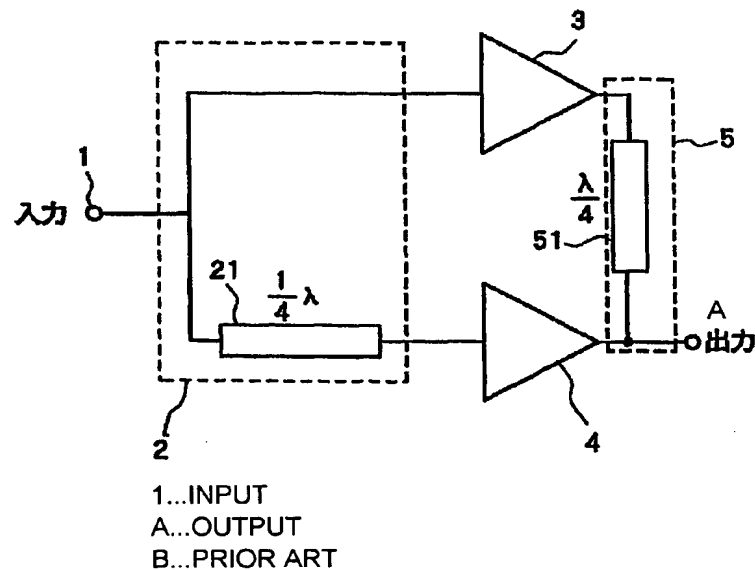
(10) 国際公開番号
WO 2004/064247 A1

- (51) 国際特許分類: H03F 1/07
- (21) 国際出願番号: PCT/JP2003/016183
- (22) 国際出願日: 2003 年 12 月 17 日 (17.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-3137 2003 年 1 月 9 日 (09.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 椎熊 一実 (SHI-IKUMA, Kazumi) [JP/JP]; 〒108-8001 東京都港区芝
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DOHERTY AMPLIFIER

(54) 発明の名称: ドハーティ増幅器

B (従来技術)



(57) **Abstract:** A Doherty amplifier using a simple structure to provide more nearly ideal linear amplification and power combining operation, wherein a gain compensator (6) comprising a parallel circuit of an anti-parallel diode and a resistor is located in a stage preceding a peak amplifier (4) included in the Doherty amplifier and wherein the gain of the gain compensator (6) during operation of the peak amplifier (4) is set based on the gm characteristic of the peak amplifier (4), thereby compensating for the operational characteristic of the peak amplifier (4).

[続葉有]



(57) 要約: 本発明は、簡単な構成でより理想に近い線形増幅、電力合成動作が得られるドハーティ増幅器を提供することを目的とするものであり、その構成は、ドハーティ増幅器に含まれるピーク増幅器 4 の前段にアンチパラレルダイオードと抵抗の並列回路で構成される利得補償器 6 を設け、ピーク増幅器 4 が動作している際の利得補償器 6 の利得をピーク増幅器 4 の g_m 特性に基づいて設定することにより、ピーク増幅器 4 の動作特性を補償する。

明細書

ドハーティ増幅器

技術分野

本発明は、ドハーティ増幅器に関し、特にピーク増幅器の前段に利得補償器を設けたドハーティ増幅器に関する。

背景技術

近年の携帯端末市場の爆発的な普及とそれに伴うインフラ整備により、基地局用の送信増幅器に対する効率改善に関する市場からの要求は厳しくなっている。

上記のような要求に応じるために、近年ドハーティ増幅器をはじめとする高効率で信号を増幅する手法と、その低歪み化と、最近の歪み補償技術とを組み合わせることで、高性能かつ高効率な増幅器を構築しようという点に注目が集まってきている。

ドハーティ増幅器は、文献 1（1936 年の W. H. Doherty “A New High Efficiency Power Amplifier for Modulated Waves”, Proc. IRE, Vol. 24, No. 9, Sept.）で最初に提案された高出力電力増幅器の効率を改善する装置である。

ドハーティ増幅器は、常に増幅動作を行うキャリア増幅器と、高電力出力時、具体的にはキャリア増幅器が飽和最大出力に到達した以降でのみ増幅動作を行うピーク増幅器を備えるものである。

ドハーティ増幅器は、キャリア増幅器とピーク増幅器を同一の特性を有するデバイスにし、かつこれらを複数台並列に配置した構成が一般的であり、実際に低周波からミリ波にわたる周波数帯の信号を扱う増幅器として数多く実現されてきている。

従来、このようなドハーティ増幅器として、例えば文献 2（特開平 7-22852 号公報）に記載された Fig. 1 に示す構成のドハーティ増幅器がある。以下、Fig. 1 を参照して文献 2 に記載のドハーティ増幅器を簡単に説明する。

Fig. 1 において、入力端子 1 から入力された信号は、 $1/4$ 波長の伝送経路 2-1 を含む入力分岐回路 2 によりキャリア増幅器側とピーク増幅器側に分配される。キャリア増幅器側に分配された信号はキャリア増幅器 3 により増幅され、ピーク増幅器側に分配された信号は $1/4$ 波長の伝送経路 2-1 を通過した後、ピーク

増幅器 4 により増幅される。

出力合成回路 5 は $1/4$ 波長の伝送経路 5 1 を含み、 $1/4$ 波長の伝送経路 5 1 を通過したキャリア増幅器 3 の出力とピーク増幅器 4 の出力とを結合して出力する。よって、キャリア増幅器 3 とピーク増幅器 4 の出力信号の位相関係は、出力合成回路 5 での信号合成点で同相となる。

しかしながら、ドハーティ増幅器を構成するキャリア増幅器 3 またはピーク増幅器 4 の増幅動作が理想的な動作と異なる場合、出力合成回路 5 での信号合成が有効に行われないため、理想的な線形増幅作用および飽和出力電力が得られなくなってしまう。

上記のような問題が生じる一例としては、ドハーティ増幅器を構成するキャリア増幅器とピーク増幅器とに同等特性（例えば、 $gm-I_d$ 特性）のデバイスを用いた場合（クラシカルドハーティ）がある。この場合には、特にピーク増幅器の動作が理想的な動作と異なってしまうという問題が生じる。具体的な一例としては、ピーク増幅器の利得が理想的な利得よりも小さくなってしまいう問題が生じてしまう。

したがって、使用するデバイス（FET 等）の gm （伝達コンダクタンス）特性が、キャリア増幅器とピーク増幅器とで同一の場合でも、そのままでは理想的な線形増幅作用および飽和出力電力が得られなくなる。

この問題に対しては、いくつかの改善手法が提案されている。

例えば、文献 3（Steve C. Cripps 著 RF Power Amplifiers for Wireless communications, Artech House 1999 の p 236）には、ピーク増幅器の入力に可変減衰器を備え、入力レベルの大小に応じて減衰量を制御して、伝達特性を補償する手段が提案されている。

また、文献 4（Steve C. Cripps 著 Advanced Techniques in RF Power Amplifiers, Artech House 2002 p 50）には、具体的なブロック図等は見あたらないが、キャリア増幅器のバイアス設定を、入力信号レベルによって、C 級バイアスだったものを B 級バイアスにまで適応制御し、ドハーティ増幅器として最大電力を得る方法が提案されている。

また、文献 5（特表 2000-513535 号公報）には、入力信号の電力レ

ペルや信号の大きさを直接的または間接的に検出器で検出し、検出した値に基づき、キャリア増幅器のバイアス制御部とピーク増幅器のバイアス制御部がキャリア増幅器とピーク増幅器のバイアスをそれぞれ制御する手法が提案されている。

しかしながら、文献3や文献4や文献5の手法では、いずれにしても検波、判定および制御などを行う回路が必要となり、構成が複雑になるという問題が生じる。

発明の開示

本発明の目的は、例えば同一のデバイスをキャリア増幅器およびピーク増幅器として用いた場合でも、簡単な構成でより理想に近い線形増幅および電力合成動作が得られるドハーティ増幅器を提供することである。

上記目的を達成するため、本発明のドハーティ増幅器は、入力端子と、入力端子から入力された信号を第1の経路と第2の経路に分配する入力分岐手段と、入力分岐手段により第1の経路に分配された信号を増幅するキャリア増幅器と、入力分岐手段により第2の経路に分配された信号の中で所定レベル以上の信号のみを増幅するピーク増幅器と、キャリア増幅器の出力とピーク増幅器の出力とを合成する出力合成手段と、第2の経路のピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して分配された信号のレベルを補正する利得補償器とを有する。

上記の発明は、第2の経路のピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して第2の経路に分配された信号のレベルを補正する利得補償器を含むので、利得補償器の利得変化動作によりピーク増幅器の利得が補償可能となる。よって、従来必要であった検波、判定および制御などを行う回路を不要にでき、簡単な構成でより理想に近い線形増幅および電力合成動作が実行可能となる。また、従来必要であった制御回路を不要にできるので、制御用の専用の制御信号および制御信号用の専用の端子も不要にできる。

また、本発明のドハーティ増幅器は、所定レベル未満の信号が入力した場合の利得補償器の利得と、所定レベル以上の信号が入力した場合の利得補償器の利得とが異なる。

上記の発明によれば、所定レベル未満の信号が入力した場合の利得と所定レベ

ル以上の信号が入力した場合の利得とが異なる利得補償器としたので、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得が補償可能となる。

また、本発明のドハーティ増幅器は、利得補償器を、所定レベル以上の信号が入力した場合の利得が所定レベル未満の信号が入力した場合の利得より大きい構成としている。

上記の発明によれば、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得が向上可能となる。よって、ピーク増幅器の利得が理想的な利得よりも低い場合に、ピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得が補償可能となる。

また、本発明のドハーティ増幅器は、利得補償器を、所定レベル以上の信号が入力した場合の利得が所定レベル未満の信号が入力した場合の利得より小さい構成としている。

上記の発明によれば、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を小さくできる。よって、ピーク増幅器の利得が理想的な利得よりも大きい場合に、ピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得が補償可能となる。

また、本発明のドハーティ増幅器は、利得補償器の利得が、ピーク増幅器の動作特性に基づいて設定されているので、上記の効果に加えて、ピーク増幅器の利得が高い精度で補償可能となる。

また、本発明のドハーティ増幅器は、利得補償器が、アンチパラレルダイオードと抵抗の並列回路、またはダイオードと抵抗の並列回路、またはFET、またはバイポーラトランジスタである構成としているので、上記の効果に加えて、簡単な構成の利得補償器が実現可能となる。

また、本発明のドハート増幅器は、キャリア増幅器とピーク増幅器がFETで構成され、利得補償器はピーク増幅器の g_m 特性を補償する構成としている。

上記の発明によれば、キャリア増幅器とピーク増幅器をFETで構成した場合にも上記の効果と同様の効果が得られる。

図面の簡単な説明

Fig. 1は従来のドハート増幅器を示したブロック図である。

Fig. 2は本発明の一実施例を示したブロック回路図である。

Fig. 3aは利得補償器6の一例を示した回路図である。

Fig. 3bは利得補償器6の特性を示した説明図である。

Fig. 4はドハート増幅器の理想的な動作中における増幅器3、4の動作状態を説明するための説明図である。

Fig. 5はキャリア増幅器3とピーク増幅器4のドレイン電流ーゲート電圧特性を示した特性図である。

Fig. 6はドハート増幅器の動作状態を示した説明図である。

Fig. 7はFig. 3aに示した利得補償器の特性を示した特性図である。

Fig. 8はピーク増幅器による利得補償器の補償の一例を示した説明図である。

Fig. 9aは利得補償器の他の例を示した回路図である。

Fig. 9bは利得補償器の他の例を示した回路図である。

Fig. 9cは利得補償器の他の例を示した回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づき説明する。

本実施形態は、Fig. 2に示すように、キャリア増幅器3とピーク増幅器4を含むドハート増幅器において、ピーク増幅器4の前段に利得補償器6を有していることを1つの特徴としている。Fig. 2において、補正手段としての利得補償器6は、利得が入力レベルに応じて変化するものである。なお、Fig. 2において、Fig. 1で示したものと同一構成のものには同一符号を附してある。

ここで、本実施形態の概要を説明する。

本実施形態のドハート増幅器は、Fig. 1に示したような、キャリア増幅器3

、ピーク増幅器 4、出力合成回路 5 および入力分岐回路 2 を備えた従来の構成に対し、Fig. 2に示したように、ピーク増幅器 4 の前段に、利得が入力レベルによって変化する利得補償器 6 を設けている。

本実施形態においては、利得補償器 6 は、入力する信号のレベルが、例えば C 級にバイアスされかつ FET で構成されたピーク増幅器 4 の増幅開始レベル以上の場合に、ピーク増幅器 4 へのゲート入力電圧信号を拡大するような補正を行う。

上記のような利得補償器 6 を用いることにより、ピーク増幅器 4 とキャリア増幅器 3 として同一特性のデバイスを使用したドハーティ増幅器においても、飽和出力時に所望の最大出力が得られるような動作が可能となる。したがって、ドハーティ増幅器として、理想的な増幅動作が得られることを可能にしている。

以下、Fig. 2を参照して本実施形態のドハーティ増幅器を具体的に説明する。

本ドハーティ増幅器は、通常、キャリア増幅器と呼ばれている常に信号の増幅動作を行っている増幅器 3 と、通常ピーク増幅器あるいは補助増幅器（本明細書では「ピーク増幅器」で統一する。）と呼ばれる、所定レベル以上の信号が入力したときのみ（高電力出力時のみ）に動作している増幅器 4 とを有している。

なお、所定レベルは、キャリア増幅器 3 が飽和出力電力を出力し始める際に入力端子 1 から入力される信号のレベルに対応するものであり、本実施形態では所定レベルを、キャリア増幅器 3 が飽和出力電力を出力し始める際に、入力端子 1 から入力される信号のレベルとしている。

ピーク増幅器 4 の前段には、ピーク増幅器 4 の伝達特性（動作特性）に応じてピーク増幅器 4 の振幅成分を補償するための利得補償器 6 が設けてある。

さらに、本ドハーティ増幅器は、キャリア増幅器 3 の出力とピーク増幅器 4 の出力とを合成して出力する出力合成手段としての出力合成回路 5 と、入力信号をキャリア増幅器側（第 1 の経路）22 とピーク増幅器側（第 2 の経路）23 に分配する入力分岐手段としての入力分岐回路 2 とを含んでいる。

一般にドハーティ増幅器は、飽和出力電力近傍で飽和を維持しながら動作するキャリア増幅器 3 を有することにより、飽和電力からバックオフをとった出力時においても、通常の A 級、A B 級増幅器より高い効率が実現されている。

キャリア増幅器 3 には、通常 A B 級や B 級にバイアスされた増幅器が用いられることが多い。ピーク増幅器 4 は、信号電力が高出力時にのみ動作するよう、通常は C 級にバイアスされて使用されていることが多い。

キャリア増幅器 3 の出力とピーク増幅器 4 の出力とを結合する出力合成回路 5 は、例えばトランスで構成されており、通常 $1/4$ 波長の伝送線路 5 1 を備える。入力分岐回路 2 は、ピーク増幅器 4 の出力信号とキャリア増幅器 3 の出力信号との位相関係を、出力合成回路 5 の信号合成点で同相にするための $1/4$ 波長の伝送線路 2 1 や、あるいは 90° ハイブリッド回路などから構成される。

また、Fig. 2 の利得補償器 6 は、例えば Fig. 3 a に示したアンチパラレルダイオード 6 1 と抵抗器 6 2 から構成されている。具体的には、利得補償器 6 として、カソードが入力分岐回路 2 の $1/4$ 波長の伝送線路 2 1 と接続されるとともにアノードがピーク増幅器 4 の入力側に接続されるダイオード 6 1 a とカソードがダイオード 6 1 a のアノードと接続されるとともにアノードがダイオード 6 1 a のカソードと接続されたダイオード 6 1 b とで構成されたアンチパラレルダイオード 6 1 と、抵抗器 6 2 との並列回路が用いられてもよい。

なお、通常のドハーティ増幅器の動作原理については、たとえば Steve C.ripps 著 Advanced Techniques in RF Power Amplifiers, Artech House 2002 などの文献により当業者にとってよく知られているので、その詳細な説明は省略する。

以下、本実施形態の動作を説明する。

本実施形態では、説明を簡単にするために、B 級バイアスされたキャリア増幅器 3 と C 級バイアスされたピーク増幅器 4 を用い、さらにキャリア増幅器 3 およびピーク増幅器 4 として同一特性の FET デバイスを用いてドハーティ増幅器を構成した場合の動作について説明する。なお、本発明は、上記の構成に限るものではなく、適宜変更可能である。

まず、ドハーティ増幅器の理想的な動作中における各増幅器 3、4 の動作状態を、Fig. 4 を用いて説明する。

ドハーティ増幅器は大きく 3 つの動作領域、具体的には、低レベル領域、遷移領域および飽和領域に分けられる。

Fig. 4には、キャリア増幅器3、ピーク増幅器4のそれぞれに印加される入力電圧の最大値を1として規格化した入力電圧 V_{in} を横軸にとり、ピーク増幅器4のドレイン電流を I_p 、キャリア増幅器3の出力電圧を V_c 、キャリア増幅器3のドレイン電流を I_c とし、それぞれ縦軸に示してある。

本実施形態では、キャリア増幅器3とピーク増幅器4として同一特性のFETを用いると仮定しているため、 I_c の最大値と I_p の最大値は等しく図示される。また、ピーク増幅器4はC級にバイアスされ、通常のドハーティ増幅器の構成である入力電圧 V_{in} が0.5からドレイン電流が流れ始めて増幅動作を開始するものとする。

また、各デバイス、具体的には、キャリア増幅器3とピーク増幅器4のドレイン電流－ゲート電圧特性としては、Fig. 5に示すようにスレシヨルド電圧 V_{th} からドレイン電流が流れ始め、伝達コンダクタンス g_m は一定値であるものとする。

B級バイアスされたキャリア増幅器3に所定レベル（本例では $V_{in}=0.5$ とする。）以下の信号 V_{in} が入力されると、信号 V_{in} に比例したキャリア増幅器3の出力電圧 V_c が発生する。この場合、信号 V_{in} に応じてキャリア増幅器3の出力電圧 V_c が変化する領域が低レベル領域となる。

次に、信号 V_{in} が0.5に達すると（これを「遷移点」と呼ぶことにする。）キャリア増幅器3は飽和し、出力電圧は一定値となる。この時点でドハーティ増幅器自体の効率も最大となり、理想的にはB級増幅器の理想効率である78%（ $\pi/4$ ）に達する。ただし、このときのキャリア増幅器3の飽和出力電力は、ドハーティ増幅器として得られるべき飽和電力の1/4である。

この遷移点から V_{in} が増加するとピーク増幅器4も動作を開始する。

このピーク増幅器4の動作により、出力合成回路5の伝送トランス51を介してキャリア増幅器3の負荷インピーダンスが変調する。その結果、キャリア増幅器3の出力電流は入力電圧に対して線形に増加しつづけ、負荷により大きな電力を供給することとなり、結果的にドハーティ増幅器として線形な増幅特性が維持され、所望の出力電力を線形増幅することができる。

入力電圧がさらに大きくなると、ピーク増幅器4も飽和に達し、ドハーティ増

幅器としての飽和最大出力に達する。この遷移点から飽和点までの間、ドハーティ増幅器の総合効率は何れも高く維持されている。

上述した動作がドハーティ増幅器の理想的な動作の一例である。

このとき、ピーク増幅器 4 側のドレイン電流は、遷移点からの入力電圧に比例して、キャリア増幅器 3 のドレイン電流増加分の倍の傾きで増加する必要がある。これは、最終的に入力電圧が最大となった時点 ($V_{in} = 1.0$) で、キャリア増幅器 3 のドレイン電流 (I_c) とピーク増幅器 4 のドレイン電流 (I_p) が最大 ($I_c = I_p = 1.0$) となり、キャリア増幅器 3 から見た負荷インピーダンスも、最大出力を負荷に伝達できる最適な状態が達成され、ドハーティ増幅器として最大出力が得られるからである。

次に、実際のドハーティ増幅器の動作を説明する。

実際のドハーティ増幅器を構成する場合を考えると、キャリア増幅器 3、ピーク増幅器 4 にはほぼ同じような特性を有するデバイスが用いられることが多い。これは、クラシカルドハーティと呼ばれる構成である。

例えば、ドハーティ増幅器の飽和電力を 100W にしたいという場合には、キャリア増幅器、ピーク増幅器は各々 50W 飽和電力の同一のデバイスを選択するのが一般的である。もちろん、これにとらわれず、飽和電力の異なるデバイスを選択する、拡張型ドハーティと呼ばれる構成を選択することもあるが、基本的な原理が変わることはないのでその場合の説明等は省略する。

しかしながら、上述のようにキャリア増幅器とピーク増幅器とに同一特性のデバイスを用いてドハーティ増幅器を構成した場合には、同一特性のキャリア増幅器とピーク増幅器を、従来技術として Fig. 1 に示したように、単純に組み合わせただけでは、上述したようなドハーティ増幅器の理想的な特性が得られず、飽和電力付近での効率低下や飽和電力の低下、線形性の劣化が生じてしまう。

Fig. 6 は、実際のドハーティ増幅器で生じる上記劣化の一例を示した図であり、Fig. 4 に示した理想的な状態と同様の主要なパラメータの入出力特性を図示してある。

上述したように、理想状態では、ピーク増幅器 4 の電流は入力電圧が最大の点で最大値となっている必要がある。それに対して、Fig. 6 に示した例では、実際

には伝達コンダクタンス g_m が、理想的な値として必要な値の半分しかないため、入力電圧が最大になってもドレイン電流は理想的な値の半分の値にしか達していない。

このため、ドハーティ増幅器として理想的な動作ができていない。簡単な計算によれば、最大入力時のドレイン効率も理想状態の 78% に対して約 20% 低下の 58.9%、出力は理想状態の 50% に低下、入出力の線形性は入力 1 に対して出力 0.5 に劣化することが示される。

そこで、本発明においては、ピーク増幅器 4 の前段に、Fig. 3a に一例を示したような、利得を入力信号の大きさに応じて変化させる利得補償器を設けることにより、理想的に動作するドハーティ増幅器を実現可能としており、例えばキャリア増幅器 3、ピーク増幅器 4 として同一特性を有するデバイスを用いた場合においても、理想的なドハーティ増幅器として動作することを可能としている。

この実施形態の場合には、具体的には、Fig. 3b に示した利得補償器 6 の特性を、Fig. 7 に示すように信号 V_{in} が 0.5 以上の場合に入力信号の増加 1 に対して出力信号がほぼ 2 倍増加するようにすればよい。

上記のような特性は、Fig. 3a に示したような回路例で、ダイオード 61a、61b と周辺の抵抗 62 として最適なものを選択することにより、近似的に所望特性の実現が可能である。例えば、抵抗の値を大きく選べば、傾きが大きい入出力特性が占める割合を示す出力範囲特性は大きくなり、逆に抵抗の値を小さく選べば、傾きが大きい入出力特性が占める割合を示す出力範囲特性は小さくなる。

よって、この入出力特性の傾きがほぼ 2 となる領域を利用して、この利得補償器 6 をピーク増幅器 4 の前段に備え、利得補償器 6 の上記出力範囲開始点が、本例で C 級増幅器を採用しているピーク増幅器 4 のスレショルド電圧 ($V_{in} = 0.5$) 付近またはピーク増幅器 4 のスレショルド電圧 ($V_{in} = 0.5$) になるように、利得補償器 6 への入力レベルや動作状態を設定することにより、ピーク増幅器 4 の g_m 特性を、見かけ上、倍となるようにすることができる。

つまり、ピーク増幅器 4 は入力レベルが最大値となる点でドレイン電流も最大となり、遷移点から飽和状態までのドハーティ増幅器としての理想的な状態が達成されることが可能となる。よって、例えば同一のデバイスをキャリア増幅器、

ピーク増幅器に用いた場合でも、簡単な構成でより理想に近い線形増幅、電力合成動作が得られるドハーティ増幅器を実現可能となる。

さらに説明すると、本例の場合、入力端子 1 に入力する信号のレベルがピーク増幅器 4 のスレシヨルド電圧以下の場合、利得補償器 6 の利得すなわち利得補償器 6 の入出力特性の傾きが 1 またはほぼ 1 となり、入力端子 1 に入力する信号のレベルがピーク増幅器 4 のスレシヨルド電圧を越える場合、利得補償器 6 の利得すなわち利得補償器 6 の入出力特性の傾きが 2 またはほぼ 2 となるように、利得補償器 6 への入力レベルや動作状態を設定することにより、ピーク増幅器 4 を理想的な状態で動作可能にできる。

上記のように、入力される信号のレベルに応じて利得が変化する利得補償器 6 がピーク増幅器 4 の前段に設けてあるので、利得補償器 6 の利得変化動作によりピーク増幅器の動作時の利得を補償可能となるとともにピーク増幅器を動作させる必要の無い状態（入力端子 1 に入力する信号のレベルが所定レベルに満たない状態）のときにピーク増幅器 4 が動作してしまうことを回避可能となる。

この点を補足すると、例えば、利得補償器 6 の利得がピーク増幅器 4 の動作時の利得を補償する利得に固定されていると、本来ピーク増幅器 4 が動作してはならない状態（入力端子 1 に入力する信号のレベルが所定レベルに満たない状態）のときでもピーク増幅器 4 が動作してしまう可能性が生じてしまう。

これに対して、本実施形態は、入力される信号のレベルに応じて利得が変化する利得補償器 6 がピーク増幅器 4 の前段に設けてあるので、本来ピーク増幅器 4 が動作してはならない状態（入力端子 1 に入力する信号のレベルが所定レベルに満たない状態）のときは、利得補償器 6 の利得は利得補償器 6 の出力が所定レベルに満たない状態となる利得となり、入力端子 1 に入力する信号のレベルが所定レベル以上のときは、利得補償器 6 の利得がピーク増幅器の動作時の利得を補償する利得となるようにすることが可能となる。よって、上述したように簡単な構成でより理想に近い線形増幅、電力合成動作が可能となる。

また、所定レベル未満の信号が入力端子 1 から入力した場合の利得補償器 6 の利得と、所定レベル以上の信号が入力した場合の利得補償器 6 の利得とが異なるように設定することにより、入力端子 1 から入力された信号に対するピーク増幅

器 4 の増幅動作開始ポイント（ピーク増幅器 4 のスレッシュホールド電圧）を変更することなく、上述したように簡単な構成でより理想に近い線形増幅、電力合成動作を行うことができる。

また、所定レベル以上の信号が入力した場合の利得補償器 6 の利得が所定レベル未満の信号が入力した場合の利得補償器 6 の利得より大きい構成とすれば、ピーク増幅器 4 の利得が理想状態の値より下回っている場合に、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を理想状態の利得へ向上可能となる。

また、利得補償器 6 の利得が、ピーク増幅器 6 の動作特性に基づいて設定されているので、上記の効果に加えて、ピーク増幅器 6 の利得および／またはピーク増幅器 6 の増幅動作開始ポイント（本例のスレッシュホールド電圧）を高い精度で補償可能となる。

なお、上記では、ピーク増幅器 4 の伝達コンダクタンス g_m が、理想的な値として必要な値の半分しかない場合の例を示し、信号 V_{in} が 0.5 以上の場合に利得補償器 6 の利得補償を利得補償器 6 の入出力特性の傾きが 2 またはほぼ 2 とするような例を示したが、信号 V_{in} が 0.5 以上の場合における利得補償器 6 の利得補償は、ピーク増幅器 4 の伝達コンダクタンス g_m が理想的な値に対してどれほどの割合になっているかによって適宜変更可能である。

例えば、ピーク増幅器 4 の伝達コンダクタンス g_m が、理想的な値として必要な値よりも大きくなる場合、信号 V_{in} が 0.5 未満の場合に利得補償器 6 の利得補償を利得補償器 6 の入出力特性の傾きが 1 またはほぼ 1 とし、信号 V_{in} が 0.5 以上の場合に利得補償器 6 の利得補償を利得補償器 6 の入出力特性の傾きが 1 未満としてもよい。

上記のように、利得補償器 6 を、所定レベル以上の信号が入力した場合の利得が所定レベル未満の信号が入力した場合の利得より小さい構成とすれば、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を小さくできる。よって、ピーク増幅器の利得が理想的な利得よりも大きい場合に、ピーク増

幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を補償可能となる。

また、利得補償器 6 については、Fig. 3a に示した構成に限られるものではなく適宜変更可能である。例えば、利得補償器 6 としては、上述したような特性を有する Fig. 9 に示すような簡単な回路でも実現できる。

Fig. 9 を簡単に説明すると、Fig. 9a は、利得補償器 6 としてダイオード 63 と抵抗 64 の並列回路を用いた例であり、ダイオード 63 のカソードが入力分岐回路 2 の 1/4 波長の伝送線路 21 と接続され、ダイオード 63 のアノードがピーク増幅器 4 の入力側に接続される。Fig. 9b は、利得補償器 6 として FET 65 を用いた例であり、FET 65 のドレインが第 2 の経路 23 に接続され、FET のソースが接地されている。Fig. 9c は、利得補償器 6 としてバイポーラトランジスタ 66 を用いた例であり、バイポーラトランジスタ 66 のコレクタが第 2 の経路 23 に接続され、バイポーラトランジスタ 66 のエミッタが接地され、バイポーラトランジスタ 66 のベースには所望の電圧 V_B が印加される。

また、ピーク増幅器 4 とキャリア増幅器 3 に使用するデバイスの飽和電流特性に差がある場合に、本発明の考え方を拡張することも容易である。例えば、電源電圧または飽和電流特性が異なるデバイスをピーク増幅器 4 とキャリア増幅器 3 に用いた場合にも、基本的には上述したように入出力特性を最大値で規格化して考えればほとんど同じ手法を採用できる。具体的な例をあげれば、Fig. 8 に示したように、ピーク増幅器の、C 級バイアス点から所望の飽和出力電力が得られる動作電流値までの傾き、特には、ピーク増幅器の増幅動作開始ポイント（例えばスレッシュホールド電圧）から所望の飽和出力電力が得られる動作電流値までの傾き、例えば g_m 特性を、利得補償器で所望の値だけ補正すればよい。

したがって、キャリア増幅器 3 とピーク増幅器 4 として互いに異なる特性を有するデバイスを用いたとしても、簡単な構成で理想に近い線形増幅、電力合成動作が得るドハーティ増幅器を構成することが可能となる。

本発明は、ドハーティ増幅器のピーク増幅器の前段に、入力される信号のレベルに応じて利得が変化する利得補償器を設けてあるので、従来技術のように検波、判定および制御などを行う複雑な回路構成や制御を必要とせずに理想的な増幅

動作を行うことが可能となる。よって、例えば、同一のデバイスをキャリア増幅器およびピーク増幅器として用いた場合でも、構成の簡略化が図れ、また低コスト化が実現可能となる。

以上説明した実施形態において、図示した構成は単なる一例であって、本発明はその構成に限定されるものではない。

請求の範囲

1. 入力端子と、

前記入力端子から入力された信号を第1の経路と第2の経路に分配する入力分岐手段と、

前記入力分岐手段により前記第1の経路に分配された信号を増幅するキャリア増幅器と、

前記入力分岐手段により前記第2の経路に分配された信号の中で所定レベル以上の信号のみを増幅するピーク増幅器と、

前記キャリア増幅器の出力と前記ピーク増幅器の出力とを合成する出力合成手段と、

前記第2の経路の前記ピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して前記第2の経路に分配された信号のレベルを補正する利得補償器と、

を有するドハーティ増幅器。

2. 前記利得補償器は、前記所定レベル未満の信号が入力した場合の利得と、前記所定レベル以上の信号が入力した場合の利得とが異なる、請求項1に記載のドハーティ増幅器。

3. 前記利得補償器は、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より大きい、請求項2に記載のドハーティ増幅器。

4. 前記利得補償器は、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より小さい、請求項2に記載のドハーティ増幅器。

5. 前記利得補償器の利得は、前記ピーク増幅器の動作特性に基づいて設定されている、請求項1に記載のドハーティ増幅器。

6. 前記利得補償器は、アンチパラレルダイオードと抵抗の並列回路、またはダイオードと抵抗の並列回路、またはFET、またはバイポーラトランジスタである、請求項1に記載のドハーティ増幅器。

7. 前記キャリア増幅器と前記ピーク増幅器はFETで構成され、前記利得

補償器は前記ピーク増幅器の g_m 特性を補償する、請求項 1 に記載のドハーティ増幅器。

FIG. 1 (従来技術)

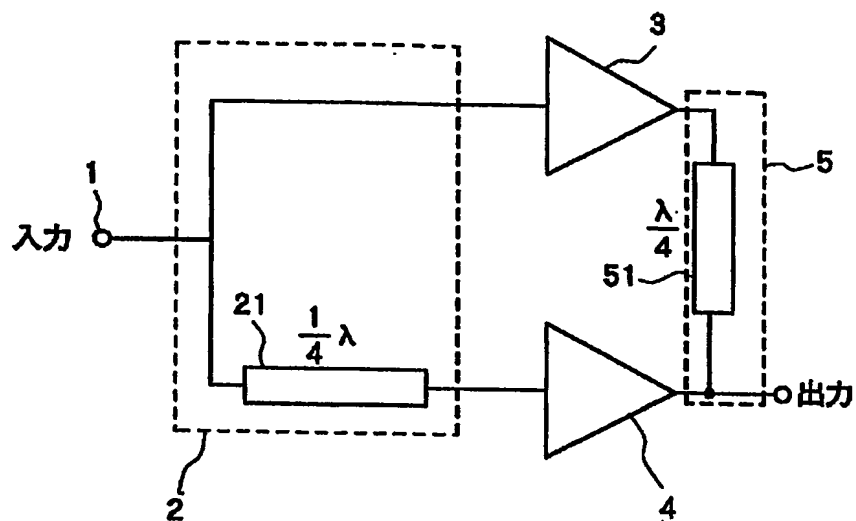


FIG. 2

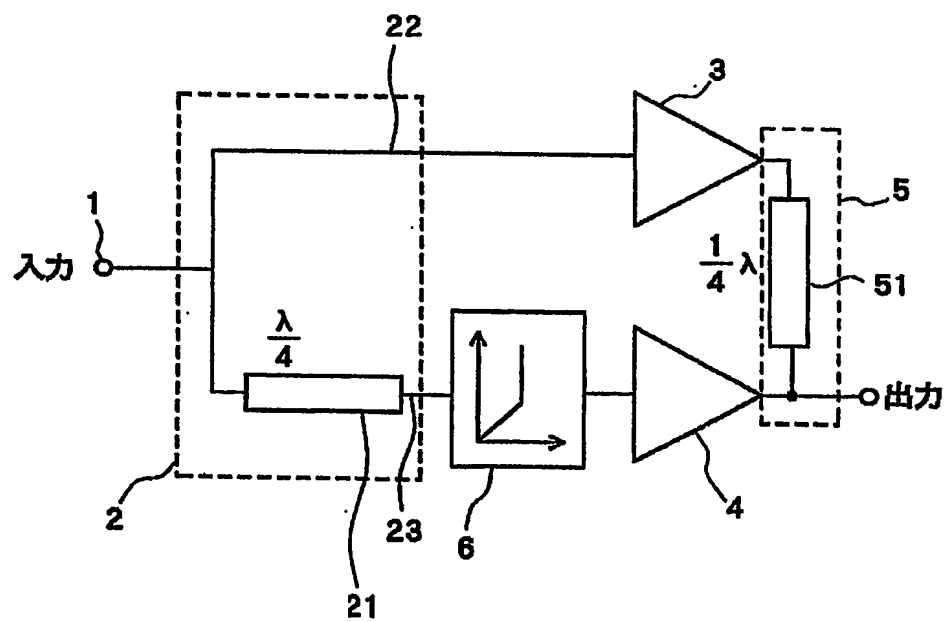


FIG. 3a

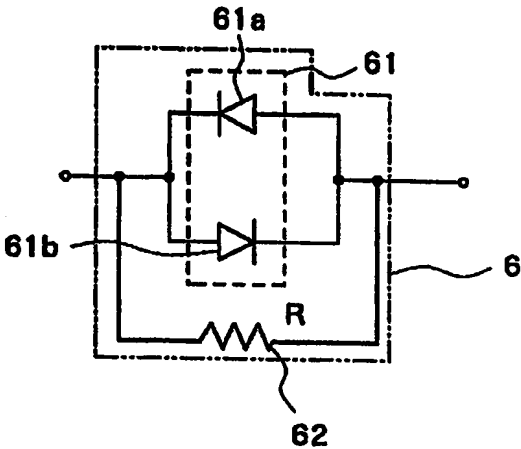


FIG. 3b

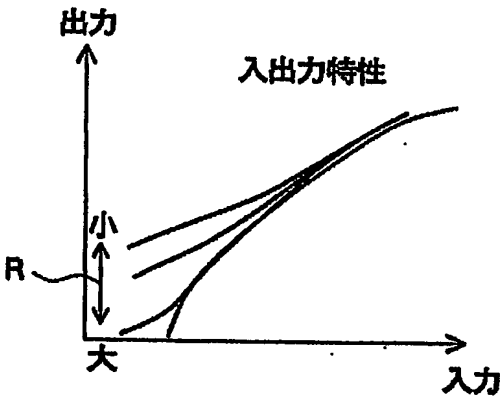


FIG. 4

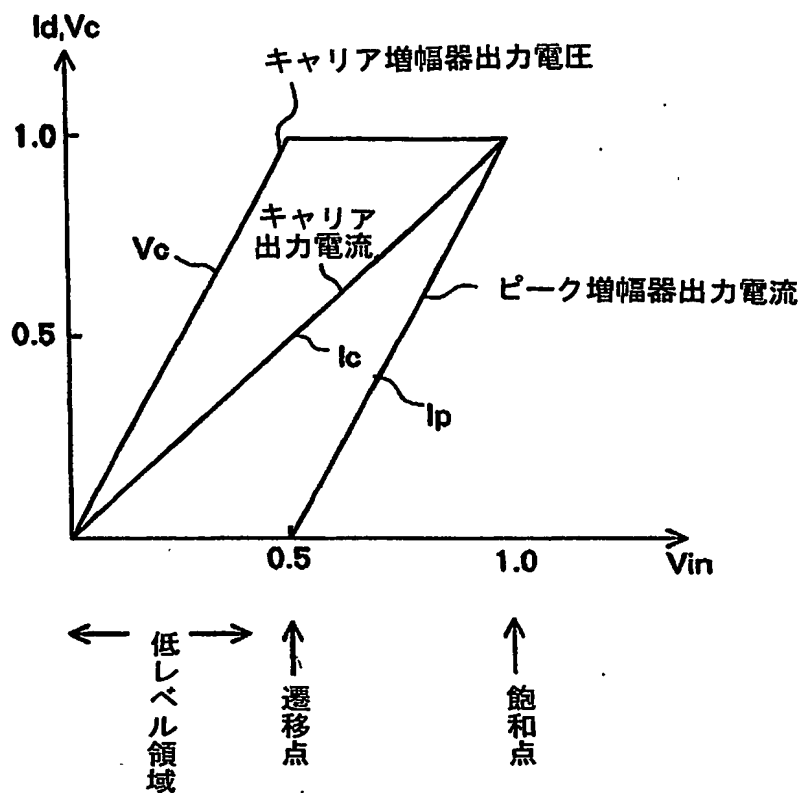


FIG. 5

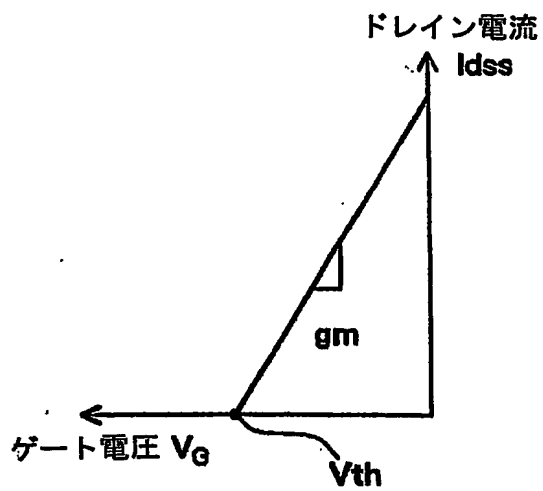


FIG. 6

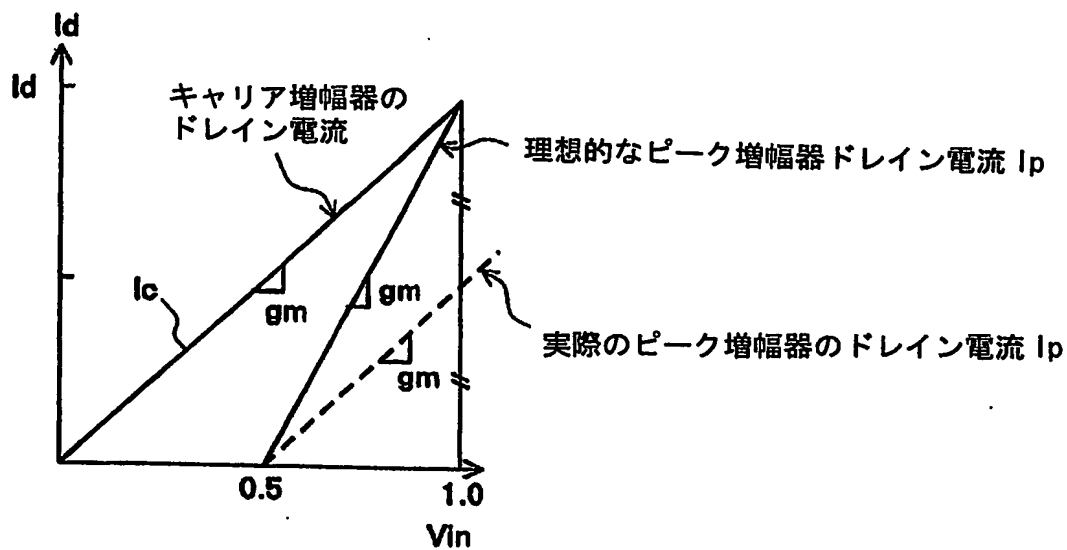


FIG. 7

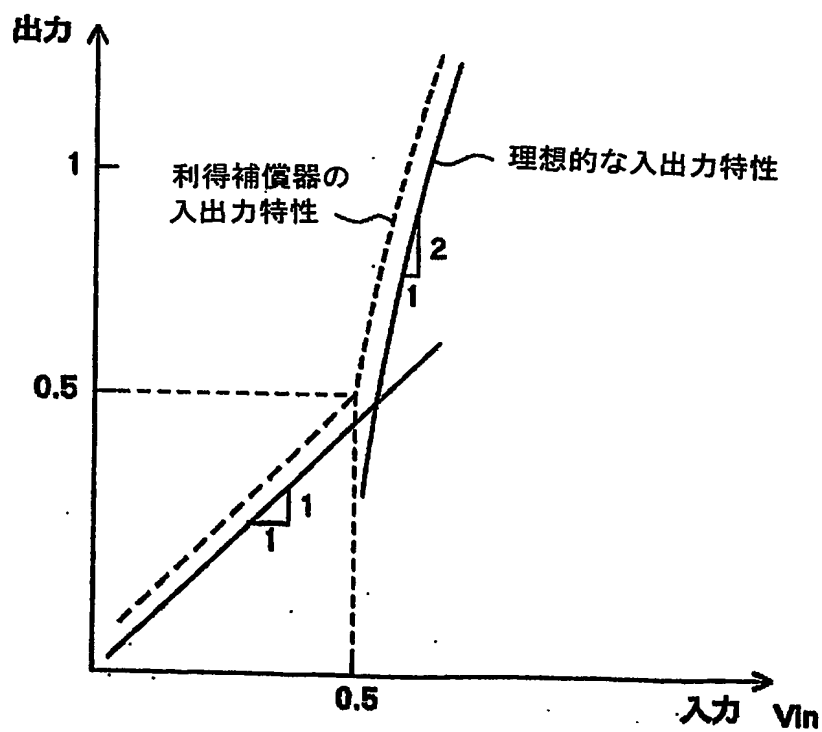


FIG. 8

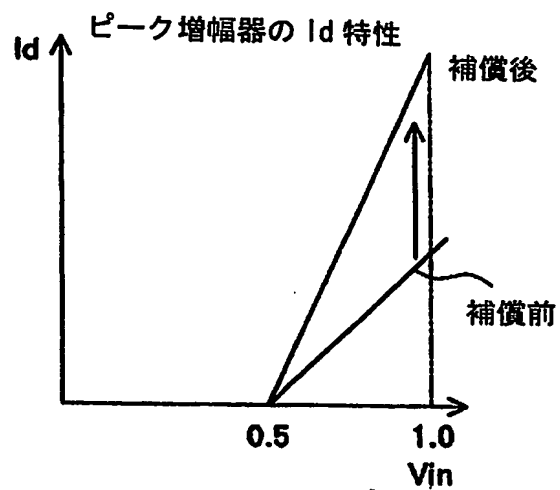


FIG. 9a

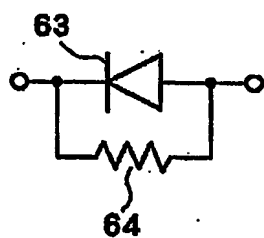


FIG. 9b

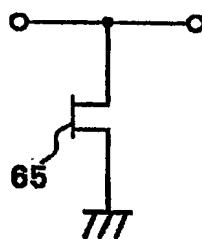
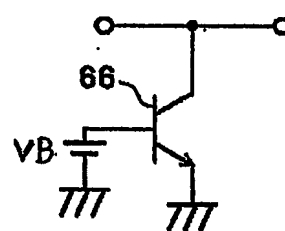


FIG. 9c



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16183

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F1/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F1/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-368716 A (Nippon Hoso Kyokai), 20 December, 2002 (20.12.02), Fig. 3 (Family: none)	1-7
X	JP 2002-124840 A (Mitsubishi Electric Corp.), 26 April, 2002 (26.04.02), Par. Nos. [0049], [0050]; Figs. 5, 6 (Family: none)	1-7
A	JP 2000-513535 A (Motorola, Inc.), 10 October, 2000 (10.10.00), & WO 98/00912 A1 & AU 9727292 A & US 5757229 A & EP 0908006 A1 & KR 2000022271 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 March, 2004 (19.03.04)

Date of mailing of the international search report
06 April, 2004 (06.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F1/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F1/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-368716 A (日本放送協会) 2002. 12. 20 図3 (ファミリーなし)	1-7
X	JP 2002-124840 A (三菱電機株式会社) 2002. 04. 26 [0049], [0050], 図5, 図6 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

19. 03. 2004

国際調査報告の発送日

06. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 敬介

5W

9196

電話番号 03-3581-1101 内線 3574

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-513535 A (モトローラ・インコーポレイ テッド) 2000.10.10 & WO 98/00912 A1 & AU 9727292 A & US 5757229 A & EP 0908006 A1 & KR 2000022271 A	1-7